

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09186730 A**

(43) Date of publication of application: **15.07.97**

(51) Int. Cl.

H04L 27/22

H04L 7/00

H04L 27/38

(21) Application number: **07343980**

(22) Date of filing: **28.12.95**

(71) Applicant: **NIPPON HOSO KYOKAI <NHK>**

(72) Inventor: **HASHIMOTO AKINORI
KATO HISAKAZU**

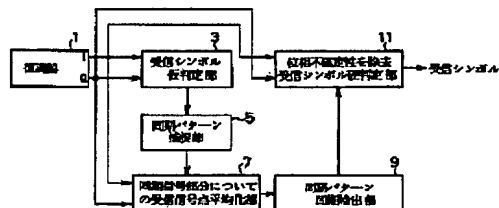
**(54) ABSOLUTE PHASE DETECTOR AND DIGITAL
MODULATION WAVE DEMODULATOR**

(57) Abstract:

PROBLEM TO BE SOLVED: To stably detect at which phase locking is made by improving the S/N equivalently for a synchronizing signal part.

SOLUTION: A tentative discrimination section receives an I signal and a Q signal demodulated by a demodulator 1 to execute tentative discrimination processing of a received symbol and a synchronizing pattern acquisition section 5 executes the acquisition processing of a synchronizing pattern subjected to tentative decision to generate a frame synchronizing signal. A reception signal averaging section 7 receives the I signal and the Q signal demodulated by the demodulator 1 and the frame synchronizing signal to execute the averaging processing of a reception signal point at a symbol timing interval only for a time of the synchronizing pattern. A synchronization detection section 9 decides at which phase the synchronization pattern is locked based on the averaged signal. A reception symbol hard decision section 11 uses the phase information to decide the reception symbol with phase uncertainty eliminated therefrom.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186730

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/22			H 0 4 L 27/22	Z
7/00			7/00	F
27/38			27/00	G

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平7-343980

(22) 出願日 平成7年(1995)12月28日

(71) 出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72) 発明者 橋本 明記

東京都世田谷区砦一丁目10番11号 日本放送協会放送技術研究所内

(72) 発明者 加藤 久和

東京都世田谷区砦一丁目10番11号 日本放送協会放送技術研究所内

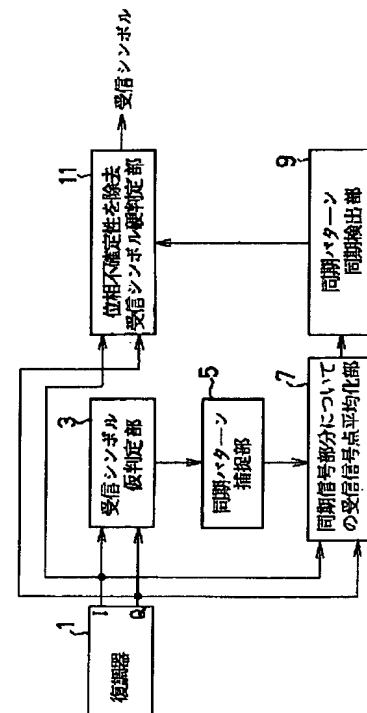
(74) 代理人 弁理士 三好 秀和 (外8名)

(54) 【発明の名称】 絶対位相検出器およびデジタル変調波復調装置

(57) 【要約】

【課題】 同期信号部分について等価的に S/N を改善し、どの位相でロックしているのかを安定的に検出できるようにする。

【解決手段】 仮判定部3は、復調器1で復調されたI信号、Q信号を入力して受信シンボルの仮判定処理を実行し、同期パターン捕捉部5では、仮判定された同期パターンの捕捉処理を実行してフレーム同期信号を生成する。受信信号平均化部7は、復調器1で復調されたI信号、Q信号と前記フレーム同期信号とを入力し、同期パターンの時間についてのみシンボルタイミング間隔で受信信号点の平均化処理を実行する。同期検出部9は、平均化された信号に基づいて同期パターンがどの位相でロックしてるか判定する。受信シンボル硬判定部11は、この位相情報を用いて位相不確定性を除去した受信シンボルの判定を行っている。



【特許請求の範囲】

【請求項 1】 信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調されたベースバンド信号中の同期信号部分についてシンボルタイミング間隔で複数シンボル当たりの平均を求める平均化手段と、

この平均化手段により求められた平均化信号に基づいて同期信号の絶対位相を検出する絶対位相検出手段と、を具備することを特徴とする絶対位相検出器。

【請求項 2】 信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調器によって復調された I 信号、Q 信号を入力して受信シンボルの仮判定処理を実行する仮判定部と、この仮判定部で仮判定された同期パターンの捕捉処理を実行してフレーム同期信号を生成する同期パターン捕捉部と、前記復調器で復調された I 信号、Q 信号と前記フレーム同期信号とを入力し、同期パターンの時間についてののみシンボルタイミング間隔で受信信号点を平均化する処理を実行する受信信号平均化部と、この受信信号平均化部から出力される平均化信号に基づいて同期パターンがどの位相でロックしているか判定する同期判定部と、

この同期判定部の位相情報を用いて位相不確定性を除去した受信シンボルの判定を行う受信シンボル硬判定部と、を具備することを特徴とする絶対位相検出器。

【請求項 3】 信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調されたベースバンド信号中の同期信号部分について“0”シンボルのみ、または“1”シンボルのみの信号点位置を取り出してフィルタリング操作を実行する低域濾波フィルタと、

この低域濾波フィルタによりフィルタリングされた信号に基づいて同期信号の絶対位相を検出する絶対位相検出手段と、

を具備することを特徴とする絶対位相検出器。

【請求項 4】 請求項 1、2 または請求項 3 のいずれかに記載の絶対位相検出器を備えて成るデジタル変調波復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多値位相変調波や多値位相振幅変調波の絶対位相検出を安定して行うこと

のできる絶対位相検出器およびデジタル変調波復調装置に関する。

【0002】 [発明の概要] 本発明は、多値位相変調波や多値位相振幅変調波の絶対位相検出を少ない信号点配置の固定同期パターンによって行う際の安定性向上に関するもので、復調して得られた同期パターンの信号点位置をシンボルタイミング間隔で平均化、もしくはこれに低域通過濾波操作を行うことにより、復調信号点位置が拡散する低 C/N 時にも絶対位相検出が安定に行えるようにしたものである。

【0003】 ここで、絶対位相検出とは、復調される信号点の位相誤差を検出して正しい受信信号点を検出することをいう。すなわち、位相変調された信号を同期検波する場合、変調前の無変調キャリアの周波数と位相を知る必要がある。しかしながら、復調側でこの無変調キャリアを再生する場合、同位相のキャリアを再生することは一般には困難であり、復調される信号点は、例えば QPSK の場合には $\pi/2$ の整数倍の位相誤差が生じる。この位相誤差を検出して正しい受信信号点を得るために絶対位相検出が行われる。

【0004】

【従来の技術】 よく知られているように、デジタル位相振幅変調では、搬送波（キャリア）の位相、および振幅を等間隔、すなわちシンボルタイミング間隔で変化させることによりデータ伝送を行っている。

【0005】 例えば、BPSK（2 相位相シフトキーイング）では、振幅は変化させずに、位相を 45 度、または 225 度に変化させ、その位相に 1 シンボルを割り当てる。この場合、位相は 2 つの値しかとらないため、1 シンボルで 1 ビットのデータを伝送できる。

【0006】 また、QPSK（4 相位相シフトキーイング）では、45 度、135 度、225 度または 315 度の 4 つの位相を用いてデータ伝送を行う。この QPSK では、位相が 4 つの値を取ることができるため、1 シンボルで 2 ビットのデータ伝送が可能となる。

【0007】 QPSK の変調波の一例を図 9 に、BPSK、および QPSK の信号点配置を図 10 に示す。なお、信号点とは変調波の位相と振幅がとりうる値を直交平面上に表したものである。

【0008】 振幅は変化させずに位相のみを変化させる多値位相変調には、この他に、8PSK（8 相位相シフトキーイング）、16PSK（16 値位相シフトキーイング）等が知られている。

【0009】 さらに、位相だけでなく、振幅も変化させることにより、1 シンボルで伝送できるビット数をさらに増大させた多値位相振幅変調もあり、これには、例えば、16QAM（16 値直交振幅変調）、64QAM（64 値直交振幅変調）などがある。これらの信号点配置を図 11 に示す。変調波と復調波の位相関係を図 12 に示す。

【0010】図13は、従来における絶対位相検出回路の一例を示している。この図13を用いて、時分割されたBPSK同期パターンからQPSKの絶対位相を検出する従来方法について説明する。

【0011】ここでは、復調器101のキャリア再生系はQPSKで行うものとし、図14に示すように、データはQPSKで、同期信号はBPSKで時分割多重して伝送するものとする。

【0012】また、復調後のI信号、Q信号はアイ開口点で“1”の場合は正の値(+)が、“0”の場合は負の値(-)が出力されるものとする。

【0013】いま、同期パターンとして、{0001001101011110}をBPSKで伝送したとすれば、I信号、Q信号には $\pi/2 \times n$ の位相不確定が生じるため、次の(1)～(2)の4パターンのいずれかが復調器101のI信号、Q信号として出力される。ただし、+は正の値、-は負の値を示す。

【0014】パターン(1)

I : {---+---+---+---+}

Q : {---+---+---+---+}

パターン(2)

I : {+++++---+---+}

Q : {---+---+---+---+}

パターン(3)

I : {+++++---+---+}

Q : {+++++---+---+}

パターン(4)

I : {---+---+---+---+}

Q : {+++++---+---+}

したがってI信号、またはQ信号として、{+++++---+---+}、または{---+---+---+---+}が検出されたとき、同期が捕捉されたことが分かるので、例えば、このときの第1シンボルが、

{I, Q} = {-, -} ならば、位相誤差は0

{I, Q} = {+, -} ならば、位相誤差は $\pi/2$

{I, Q} = {+, +} ならば、位相誤差は π

{I, Q} = {-, +} ならば、位相誤差は $3\pi/2$

であることが分かる。

【0015】この情報を用いて位相不確定性を除去したシンボル判定を行うことができる。

【0016】

【発明が解決しようとする課題】しかしながら、衛星伝送路における非線形や降雨によりC/Nが劣化したような劣悪な受信環境下では、図15に示すように受信信号点が拡散してしまい、特に信号点配置の多い変調方式を用いた場合、誤って隣のシンボル領域に判定されてしまう確率が高くなり、同期パターンの検出が困難になる。

【0017】そこで、同期パターン部分の変調方式だけをデータ伝送部分より少ない信号点数の変調波とするこ

とによって、1シンボル分の領域を広くとり、隣接との間で誤りを生じる確率を低減させることが考えられる。例えば、データの伝送には、8PSK変調を用い、同期部分にはBPSKを用いると、劣悪な伝送状態でも復調時の同期検出は容易となる。

【0018】ところが、このBPSK同期信号の復調位相情報から8PSKの $n \times \pi/4$ (n:整数)の位相不確定を補正しようとする場合、同期信号部分の復調信号点が、図16に示すように $\pi/8$ 以上拡散している場合には、本来の位相と隣接する位相に補正してしまい、正しい受信シンボルを得ることができない恐れがある。

【0019】本発明は上記の事情に鑑みてなされたものであり、その目的は、上述した劣化の生じた復調信号から抽出された同期パターンより正しい位相情報を安定的に検出することを可能とした絶対位相検出器およびディジタル変調波復調装置を提供することにある。

【0020】

【課題を解決するための手段】上記の目的を達成するために請求項1の発明は、信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調されたベースバンド信号中の同期信号部分についてシンボルタイミング間隔で複数シンボル当たりの平均を求める平均化手段と、この平均化手段により求められた平均化信号に基づいて同期信号の絶対位相を検出する絶対位相検出手段と、を具備することを特徴としている。

【0021】請求項2の発明は、信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調器によって復調されたI信号、Q信号を入力して受信シンボルの仮判定処理を実行する仮判定部と、この仮判定部で仮判定された同期パターンの捕捉処理を実行してフレーム同期信号を生成する同期パターン捕捉部と、前記復調器で復調されたI信号、Q信号と前記フレーム同期信号とを入力し、同期パターンの時間についてのみシンボルタイミング間隔で受信信号点を平均化する処理を実行する受信信号平均化部と、この受信信号平均化部から出力される平均化信号に基づいて同期パターンがどの位相でロックしてるか判定する同期判定部と、この同期判定部の位相情報を用いて位相不確定性を除去した受信シンボルの判定を行う受信シンボル硬判定部と、を具備することを特徴としている。

【0022】請求項3の発明は、信号点数がデータ信号部分の信号点数より少ない同期信号部分を前記データ信号部分に多重して成る多値位相変調波、または多値位相振幅変調波を復調する際に、その絶対位相を検出する検出器において、復調されたベースバンド信号中の同期信

号部分について“0”シンボルのみ、または“1”シンボルのみの信号点位置を取り出してフィルタリング操作を実行する低域濾波フィルタと、この低域濾波フィルタによりフィルタリングされた信号に基づいて同期信号の絶対位相を検出する絶対位相検出手段と、を具備することを特徴としている。

【0023】請求項4の発明は、請求項1、または請求項2のいずれかに記載の絶対位相検出器を備えて成るデジタル変調波復調装置である。

【0024】

【発明の実施の形態】

<本発明の原理>図1は本発明に係るデジタル変調波復調装置としての多値位相振幅変調波復調装置の基本構成を示している。

【0025】本発明は、同期信号部分についての受信信号点の平均化処理を実行することにより、同期信号部分について等価的にS/Nを改善し、どの位相でロックしているのかを安定的に検出できるようにしたものである。例えばデータの伝送には8PSK変調を用い、同期信号部分にはBPSKを用いて伝送された信号を復調した場合は、図2に示すように同期信号部分が平均化され、正しい受信シンボルを得ることができる。

【0026】このため構成として、本発明の復調装置は、図1に示すように、復調器1と、受信シンボル仮判定部3と、同期パターン捕捉部5と、同期信号部分についての受信信号平均化部7と、同期パターン同期検出部と、受信シンボル硬判定部11とを備えた基本構成を有している。

【0027】上記仮判定部3は、復調器1で復調されたI信号、Q信号を入力して受信シンボルの仮判定処理を実行し、同期パターン捕捉部5では、仮判定された同期パターンの捕捉処理を実行してフレーム同期信号を生成する。一方、受信信号平均化部7は、復調器1で復調されたI信号、Q信号と前記フレーム同期信号とを入力し、同期パターンの時間についてのみシンボルタイミング間隔で受信信号点を平均化する処理を実行する。同期検出部9は、平均化された信号に基づいて同期パターンがどの位相でロックしてるか判定する。受信シンボル硬判定部11は、この位相情報を用いて位相不確定性を除去した受信シンボルの判定を行っている。

【0028】上記図1に示した復調装置は、例えば図3に示すように、時分割多重階層伝送された信号を復調する。この時分割多重階層伝送では、データ1として8PSK信号、データ2としてQPSK信号、データ3としてBPSK信号、そして同期信号としてBPSK信号が時分割多重され、この多重信号が直交変調器を介して直交変調され階層変調波となって送信される。この場合、データ1乃至データ3の各信号は時間軸圧縮されている。また、特に同期信号は最も重要なため、伝送環境の劣化に強いBPSK変調波となっている。

【0029】上述のようにして生成された変調波を復調する場合には、まず変調波を8PSKとして扱いキャリア再生、シンボルタイミング再生を行い、受信信号点を得る。さらに、信号の先頭である同期信号を検出し、再生キャリアの位相不確定性を補正してから受信シンボルを取り出す必要がある。

【0030】まず、同期信号を使った絶対位相検出では、8PSK復調された同期信号がBPSK変調されており、図4に示すような8つの位相で復調される場合が考えられる。図4において、図中の矢印は送信された同期信号が0から1へ変化した場合の受信信号点の移動の軌跡を示している。図中の“0”で復調できた場合はよいが、それ以外の場合には、位相を補正する必要がある。

【0031】例えば図6は、BPSK、QPSK、および8PSKの各信号点における変調位相と復調位相との関係をそれぞれ示しているが、同図に示されているように、変調側の位相に対して復調側の位相は+90度ずれているのが理解できる。

【0032】本発明では、この位相補正を安定的に行うものであり、以下図5に示す具体的な装置構成例について説明する。

【0033】<具体的な装置構成例>図5に示す回路は、復調された受信信号点配置から、BPSKの同期パターンを捕捉して正しい位相で受信シンボルを判定するもので、直交復調器21と、デマッピングROM23と、8個の16ビットシフトレジスタ25と、ORゲート回路27と、2個のラッチ回路29、29'と、平均化回路31と、同期位相検出回路33と、8PSKシンボル判定回路35と、QPSKシンボル判定回路37と、BPSKシンボル判定回路39と、2個の並列/直列変換回路41、43とを備えている。

【0034】デマッピングROM23には、図7に示すような8つの位相角(0deg、45deg、90deg、135deg、180deg、225deg、270deg、および315deg)に対する位相パターンが格納されており、直交復調器21により復調された同期信号部分を入力し、この入力された同期信号に対応するいずれかのパターンが8つの位相パターンから選択されて対応する16ビットシフトレジスタ25に出力される。

【0035】16ビットシフトレジスタ群25は、デマッピングROM23から供給される8つの位相パターンに対応する8つの16ビットシフトレジスタから構成されており、いずれかで同期捕捉がされると旨の信号が生成されてORゲート回路に供給される。

【0036】ORゲート回路27は、8入力の論理和回路であり、8つのシフトレジスタ25のいずれかで同期捕捉された旨の信号が出力された場合に、フレーム同期信号を生成し、このフレーム同期信号を各ラッチ回路29、29'と、各Dフリップフロップ43と、各16カ

ウンタ47にそれぞれ出力する。

【0037】2個のラッチ回路29、29'は、それぞれ復調された信号点のうち、同期信号部分の最終シンボルのI、Q座標を前記フレーム同期信号によりラッチするための回路である。

【0038】平均化回路31は、同期パターンの時間についてのみシンボルタイミング間隔で受信信号点を平均化する処理を実行する回路であり、I信号、Q信号のそれぞれ各別に、Dフリップフロップ(D-FF)45と、全加算器47と、16カウンタ49とを備えている。

【0039】Dフリップフロップ45は、全加算器47と共に累積加算回路を構成し、全加算器47から供給される10ビットの信号を入力して保持すると共に、前入力した10ビットの信号を全加算器47に出力する処理を16カウンタ49からリセット信号が供給されるまで繰り返して累積加算を実行する。

【0040】全加算器47は、10ビットおよび6ビットの2入力の全加算器であり、ラッチ回路29から供給される6ビットの信号とDフリップフロップ45から供給される10ビットの信号とを加算するとともに、加算された16ビットの信号の上位10ビットをDフリップフロップ45に供給する処理を実行する。また、16シンボル区間の累積加算が終了するとその累積結果に対して下位4ビットを切り捨てて6ビットの累積データを同期位相検出回路33に出力する。

【0041】16カウンタ49は、4ビットカウンタで構成され、ORゲート回路25から出力されるフレーム同期信号を計数するもので、フレーム同期信号が16回計数されると、リセット信号を生成して、Dフリップフロップ45に出力する。

【0042】同期位相検出回路33は、平均化信号に基づいて同期パターンがどの位相でロックしてるか判定する回路であり、その判定信号(3ビットの位相情報)を8PSKシンボル判定回路35、QPSKシンボル判定回路37、およびBPSKシンボル判定回路39に出力する。

【0043】8PSKシンボル判定回路35は、直交復調器21で復調されたI信号、Q信号と、同期位相検出回路33からの判定信号を入力して、8PSK部分(図3のデータ1に相当)の受信シンボルの判定処理を実行する。また、QPSKシンボル判定回路37は、直交復調器21で復調されたI信号、Q信号と、同期位相検出回路33からの判定信号を入力して、QPSK部分(図3のデータ2に相当)の受信シンボルの判定処理を実行する。さらに、BPSKシンボル判定回路39は、直交復調器21で復調されたI信号、Qと、同期位相検出回路33からの判定信号を入力して、BPSK部分(図3のデータ3に相当)の受信シンボルの判定処理を実行する。

【0044】並列/直列変換回路41は、8PSKシンボル判定回路35から供給される8PSKシンボルを直列信号に変換して出力する。また、並列/直列変換回路43は、QPSKシンボル判定回路37から供給されるQPSKシンボルを直列信号に変換して出力する。

【0045】ここで、デマッピングROM23と、16ビットシフトレジスタ25と、ORゲート回路27と、ラッチ回路29と、平均化回路31と、同期位相検出回路33とから本発明の絶対位相検出回路が構成され、復調器21と、前記絶対位相検出回路と、8PSKシンボル判定回路35、QPSKシンボル判定回路37およびBPSKシンボル判定回路39とから成るシンボル判定回路と、2つの並列/直列変換回路41、43とか本発明に係るディジタル変調波復調装置が構成されている。なお、直交復調器21が図1の復調器1に対応し、デマッピングROM23が図1の受信シンボル仮判定部3に対応し、16ビットシフトレジスタ25と、ORゲート回路27とが図1の同期パターン捕捉部5に対応し、平均化回路31が図1の受信信号点平均化部7に対応し、同期位相検出回路33が同期検出部9に対応し、8PSKシンボル判定回路35と、QPSKシンボル判定回路37と、BPSKシンボル判定回路39とが図1の受信シンボル硬判定部11に対応する。

【0046】図5の構成において、直交復調器21からのI信号およびQ信号が出力されると、先ず8つの全ての位相角に対するデマッピングROM23を用いてそれぞれ同期検出が行われる。検出すべき同期パターンとしてはここでは、{0001001101011110}を例としている。

【0047】デマッピングROM23に格納された8つの位相角に対するパターンのいずれかで同期捕捉がされると、ORゲート回路27からフレーム同期信号が生成される。

【0048】このとき、C/Nが良好な場合には、8つのゲート出力の内、3つのゲートから安定に同期捕捉された信号が出力されるが、C/Nが劣化した場合、この内2つが特に不安定になる。そこで、8つのゲート出力の内、少なくとも1つ以上から等間隔の同期信号が検出された場合、同期捕捉されたものと見做し、フレーム同期信号を生成する。生成されたフレーム同期信号は、ラッチ回路29、Dフリップフロップ45、16カウンタ49にそれぞれ供給される。

【0049】同期信号が検出され、ORゲート回路27からフレーム同期信号が供給されると、同期シンボル区間の16シンボル分について、10ビットのDフリップフロップ43と、10ビットおよび6ビットの2入力の全加算器47を使用して16シンボル区間の累積加算を実行する。その累積結果に対して下位4ビットを切り捨てることにより16で除する操作を実行する。

【0050】16カウンタ49では、フレーム同期信号の出力回数が計数され、フレーム同期信号が16回出力

されると、リセット信号が生成され、Dフリップフロップ45のリセット端子に供給され、これにより累積加算がリセットされる。

【0051】累積加算が終了して、16シンボル区間における平均化信号が生成されると、その平均化信号は同期位相検出回路33に出力される。

【0052】同期位相検出回路33では、平均化信号に基づいて同期パターンがどの位相でロックしてるか判定し、その判定信号を8PSKシンボル判定回路35、QPSKシンボル判定回路37、およびBPSKシンボル判定回路39に出力してシンボル判定を安定的に実行させるのである。

【0053】図8は本発明の他の実施の形態を示しており、この実施形態は、図5に示した平均化回路31に代えてフィルタ回路51を用いたもので、他の構成は図5に示したものと同様である。

【0054】このフィルタ回路51は、2つのデジタル低域濾波フィルタ(LPF)53、53'を備えている。LPF53には、ラッチ回路29からの6ビット信号とORゲート回路27からのフレーム同期信号が入力され、同様に、LPF53'は、ラッチ回路29'からの6ビット信号とORゲート回路27からのフレーム同期信号とが入力され、低域濾波後の信号を同期位相検出回路33に出力するように構成されている。

【0055】先に説明した実施の形態では、同期信号部分の複数のシンボルを平均化することにより同期信号部分のS/Nを等価的に改善したが、この実施の形態では、同期信号部分のシンボルだけを取り出し、さらにBPSKの“0”シンボルのみ、または“1”シンボルのみの信号点位置を取り出しこれをLPF53、53'により低域濾波処理をする。これにより、前記図5に示した実施の形態と同様の効果を簡単な回路構成により得ることができる。

【0056】なお、フィルタ回路51は、デジタルLPF53、53'を使用することにより容易に構成できるが、フィルタの前後にD/A変換器、A/D変換器をおくようにすれば、アナログフィルタでも構成することができる。要は、信号点の直流成分のみを取り出せるものであれば、同期信号部分のS/Nの改善効果が期待できる。

【0057】

【発明の効果】以上説明したように各請求項の発明によれば、多値位相変調波や多値位相振幅変調波の絶対位相検出を少ない信号点配置の固定同期パターンによって行う場合に、復調信号点位置が拡散する低C/N時あっても絶対位相検出を安定的に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明に係るデジタル変調波復調装置としての多値位相振幅変調波復調装置の基本構成を示すブロック図である。

【図2】同期信号部分が平均化された様子を示す本発明の原理説明図である。

【図3】多値位相振幅変調波復調装置の復調対象となる時分割多重階層伝送の原理を示す説明図である。

【図4】8PSK復調されたBPSK変調波の同期位相を示す説明図である。

【図5】本発明に係るデジタル変調波復調装置としての多値位相振幅変調波復調装置の具体的な構成を示すブロック図である。

10 【図6】変調位相と復調位相との関係を示す説明図である。

【図7】8つの位相に対応したBPSKデマッピングROMの内容を示す説明図である。

【図8】本発明に係るデジタル変調波復調装置としての多値位相振幅変調波復調装置の他の具体的な構成を示すブロック図である。

【図9】QPSK変調波の1例を示す説明図である。

【図10】BPSKおよびQPSKの信号点配置を示す説明図である。

20 【図11】16QAMおよび64QAMの信号点配置を示す説明図である。

【図12】変調波と復調波の位相関係を示す説明図である。

【図13】従来の同期パターンによる絶対位相検出回路の構成を示すブロック図である。

【図14】データフォーマットの構成を示す説明図である。

【図15】受信信号点の拡散を示す説明図である。

30 【図16】同期信号であるBPSK信号が8PSK判定境界線を越える場合を示す説明図である。

【符号の説明】

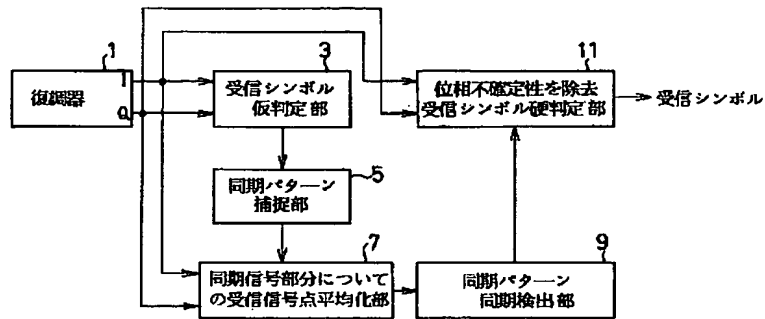
- 1 復調器
- 3 受信シンボル仮判定部
- 5 同期パターン捕捉部
- 7 受信信号点平均化部
- 9 同期検出部
- 11 受信シンボル硬判定部
- 21 直交復調器
- 23 デマッピングROM
- 40 25 16ビットシフトレジスタ
- 27 ORゲート回路
- 29 ラッチ回路
- 31 平均化回路
- 33 同期位相検出回路
- 35 8PSKシンボル判定回路
- 37 QPSKシンボル判定回路
- 39 BPSKシンボル判定回路
- 41, 43 並列/直列変換回路
- 45 Dフリップフロップ
- 50 47 全加算器

49 16カウンタ
51 フィルタ回路

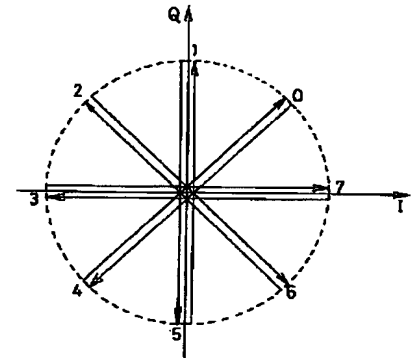
* 53, 53' デジタル低域濾波フィルタ (LPF)

*

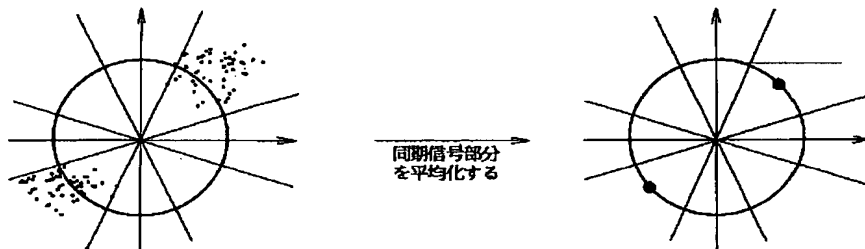
【図1】



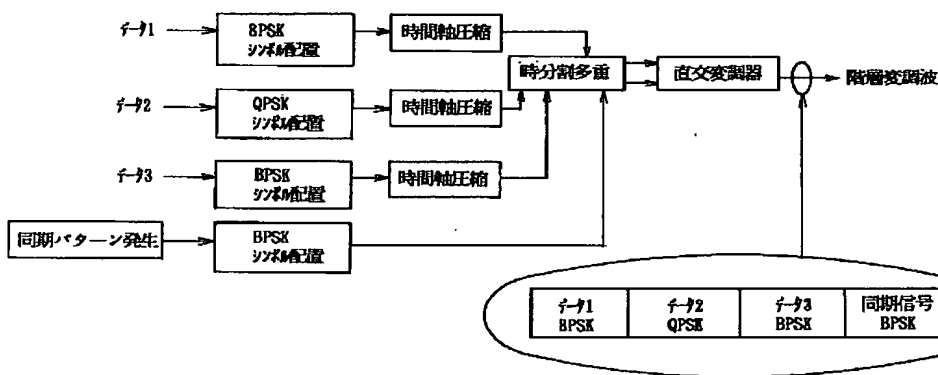
【図4】



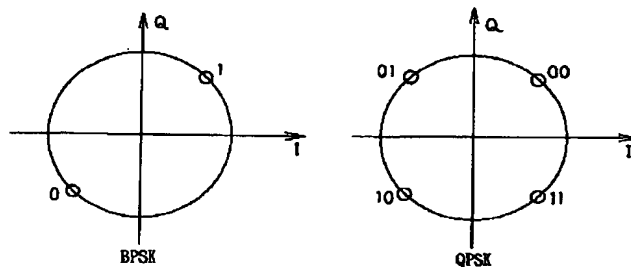
【図2】



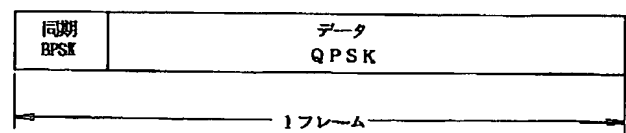
【図3】



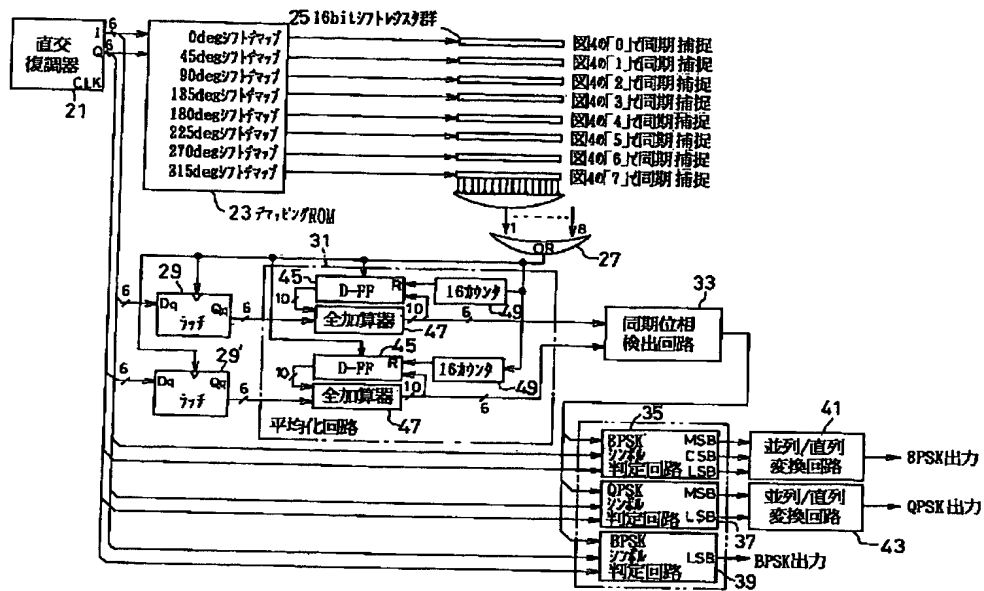
【図10】



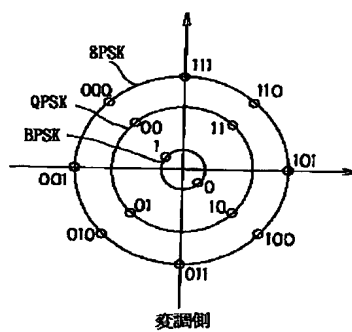
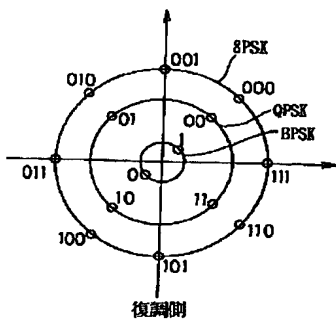
【図14】



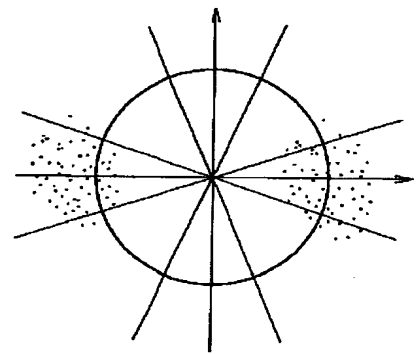
【図5】



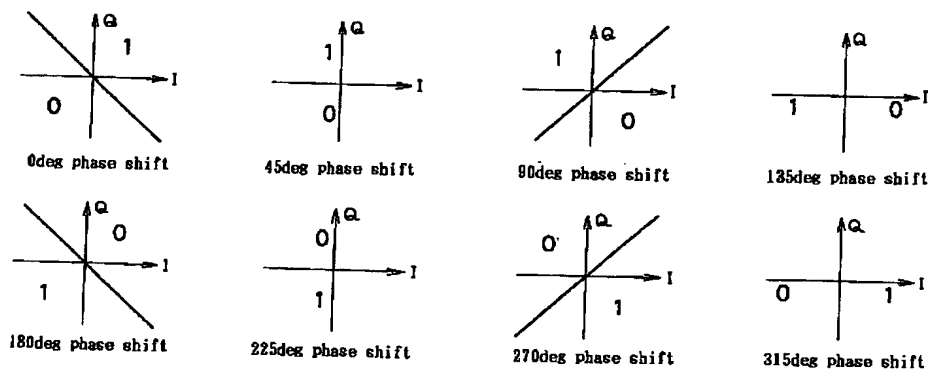
【図6】



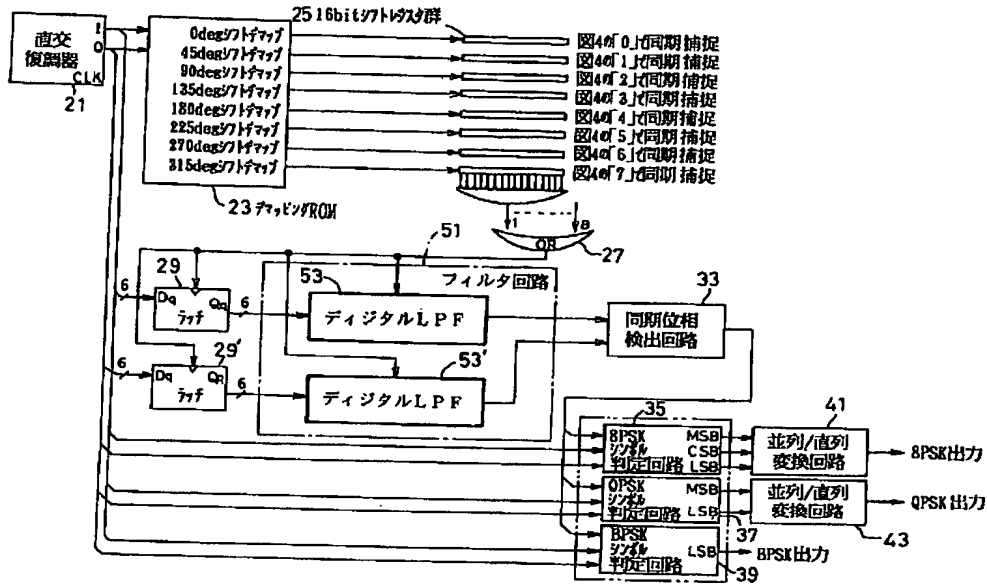
【図16】



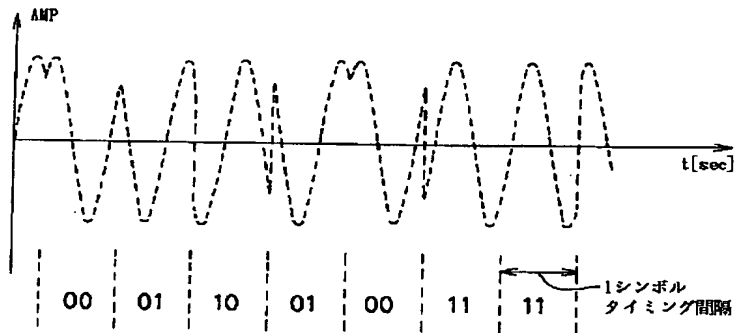
【図7】



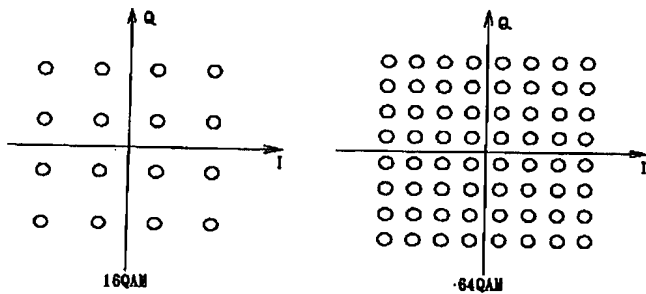
【図8】



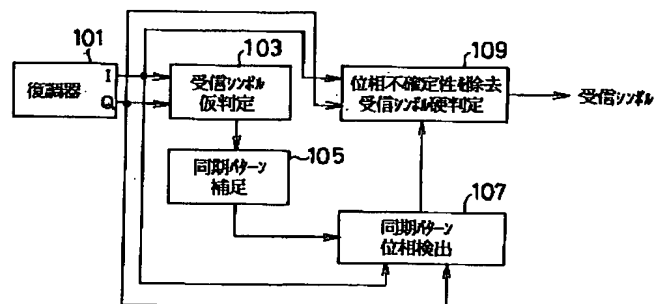
【図9】



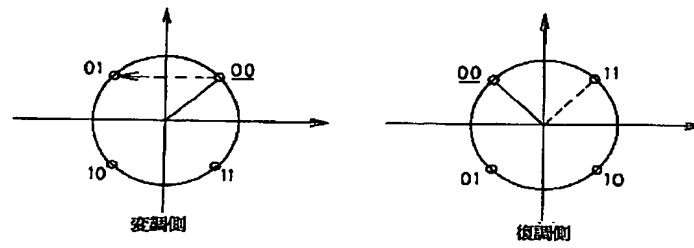
【図11】



【図13】



【図12】



【図15】

